

ITZ of New York  
Docket No.  
10-18-01

PATENT

Attorney Docket No. 5649-874

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

1000 U.S. PRO  
09/09/093035  
06/27/01

In re: Hag-ju Cho  
Serial No.: To Be Assigned  
Filed: Concurrently Herewith  
For: **METHODS OF MANUFACTURING INTEGRATED CIRCUIT DEVICES  
THAT INCLUDE A METAL OXIDE LAYER DISPOSED ON ANOTHER  
LAYER TO PROTECT THE OTHER LAYER FROM DIFFUSION OF  
IMPURITIES AND INTEGRATED CIRCUIT DEVICES MANUFACTURED  
USING SAME**

June 27, 2001

Box PATENT APPLICATION  
Commissioner for Patents  
Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2000-35708, filed June 27, 2000.

Respectfully submitted,

  
D. Scott Moore  
Registration No. 42,011

Correspondence Address:



20792

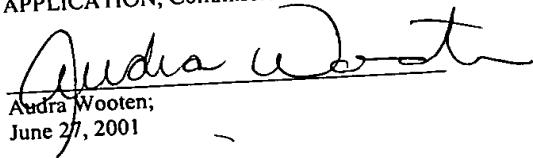
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL733097332US

Date of Deposit: June 27, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail  
Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: BOX PATENT  
APPLICATION, Commissioner for Patents, Washington, DC 20231.

  
Audra Wooten;  
June 27, 2001

01000-54001  
06/09/093035  
06/27/01



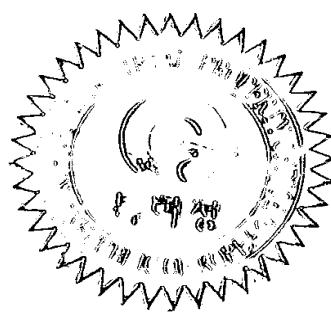
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 35708 호  
Application Number

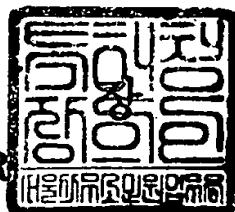
출원년월일 : 2000년 06월 27일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)



2000 07 월 31 일

특 허 청  
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2000.06.27
【국제특허분류】	H01L
【발명의 명칭】	선택적 금속산화막 형성단계를 포함하는 반도체 소자의 제조방법 및 그 방법에 의하여 제조된 반도체 소자
【발명의 영문명칭】	Method of manufacturing semiconductor device including step of selectively forming metal oxide layer and semiconductor device manufactured using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	조학주
【성명의 영문표기】	CHO,Hag Ju
【주민등록번호】	690312-1108716
【우편번호】	137-062
【주소】	서울특별시 서초구 방배2동 974-16번지
【국적】	KR
【심사청구】	청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인) 대리인  
이래호 (인)

**【수수료】**

【기본출원료】	20	면	29,000 원
【가산출원료】	8	면	8,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	20	항	749,000 원
【합계】			786,000 원
【첨부서류】			1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 선택적 금속산화막 형성단계를 구비하는 반도체 소자의 제조방법 및 그 방법에 의하여 제조된 반도체 소자에 대한 것이다. 본 발명에 따른 반도체 소자 제조방법은 먼저, 산소원자를 포함하고 소정 부위가 외부로 노출된 절연막을 반도체 기판에 제공한다. 그런 다음, 산소와 반응성이 있는 금속 전구가스(metal precursor)에 상기 반도체 기판을 노출시켜 상기 절연막의 노출면 상에 소정 두께의 금속산화막을 선택적으로 형성한다. 본 발명에 따른 반도체 소자는, 상부전극, 하부전극, 및 이들 사이에 삽입되며 산소원자를 포함하는 유전막을 구비한 캐패시터; 및 상기 유전막 중 실질적으로 상기 상부전극 및 하부전극과 접촉계면을 형성하고 있지 않은 부분에 선택적으로 형성된 제1 물성의 금속산화막을 포함한다.

**【대표도】**

도 2

### 【명세서】

#### 【발명의 명칭】

선택적 금속산화막 형성단계를 포함하는 반도체 소자의 제조방법 및 그 방법에 의하여 제조된 반도체 소자{Method of manufacturing semiconductor device including step of selectively forming metal oxide layer and semiconductor device manufactured using the same}

#### 【도면의 간단한 설명】

도 1 내지 도 3은 본 발명에 따른 반도체 소자 제조방법의 제1실시예를 도시한 공정 단면도들이다.

도 4는 본 발명에 따른 반도체 소자 제조방법의 제2실시예를 도시한 공정 단면도이다.

도 5는 실험예1에서 제작된 시편에 대한 XPS(X-ray Photoelectron Spectroscopy)분석 결과를 도시한 그래프이다.

도 6은 실험예2에서 얻은 시편1 및 시편2에 대한 잔류 분극값 측정 결과를 도시한 그래프이다.

#### 【발명의 상세한 설명】

##### 【발명의 목적】

##### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체 소자의 제조방법 및 그 방법에 의하여 제조된 반도체 소자에 대한 것으로, 상세하게는 산소를 포함하는 절연막 상에 금속산화막을 선택적으로 형성하는

단계를 구비한 반도체 소자의 제조방법 및 그 방법에 의하여 제조된 반도체 소자에 대한 것이다.

<6> 최근 들어, 반도체 메모리 소자의 캐패시터 유전막을 강유전체로 형성하기 위한 연구가 주목을 받고 있다. 비휘발성 반도체 메모리 소자의 경우, 강유전체의 자발분극(remnant polarization, 이하 ' $P_r$ '이라함) 현상이, 현재 널리 사용되는 디지털 기억 소자의 기본이 되고 있는 이진 기억(binary memory) 개념과 합치되기 때문이다. 현재, 널리 사용되고 있는 강유전체 물질로는 PZT( $Pb(Zr, Ti)O_3$ ), SBT( $SrBi_2Ta_2O_9$ ) 등이 있다.

<7> 그런데, 반도체 메모리 소자의 캐패시터 유전막을 강유전체로 형성하는데 있어서, 가장 장애가 되는 문제 중 하나는, 캐패시터 유전막으로 채용된 강유전체의 강유전 특성이 캐패시터 형성공정 이후에 수행되는 반도체 메모리 소자의 집적공정(integration process)에서 열화된다는 것이다. 따라서, 이하에서는 반도체 메모리 소자의 집적과정에서 강유전체로 된 캐패시터 유전막이 열화되는 문제를 구체적으로 살펴보기로 한다.

<8> 반도체 메모리 소자의 제조에 있어서 캐패시터 형성공정을 수행한 이후에는 ILD(Interlayer Dielectric)공정, IMD(InterMetal Dielectric)공정, 패시베이션(Passivation) 공정 등이 수행된다. 그런데, 이러한 공정들을 수행하는 동안에는 캐패시터 유전막을 열화시킬 수 있는 불순물, 특히 수소가 유발될 수 있다. 유발된 수소는 공정이 진행되는 동안 직접적으로 캐패시터 유전막으로 침투하기도 하고, 상기 공정에서 형성되는 ILD막, IMD막 또는 패시베이션막 내에 봉입되어 캐패시터 유전막으로 서서히 침투하기도 한다. 그 결과, 캐패시터 유전막으로 사용된 강유전체의 강유전 특성 중의 하나인  $P_r$ 이 감소하게 된다.

<9> 예를 들어, 강유전체 캐패시터를 반도체 기판에 형성한 이후에 실리콘 산화막으로 이루어진 충간절연막을 형성하기 위해 ILD공정을 진행하면, 캐패시터의 유전막이 열화되는 문제가 발생한다. 즉, PECVD(Plasma Enhanced Chemical Vapor Deposition)방법을 사용하여 실리콘 산화막으로 이루어진 충간절연막을 형성하는 ILD 공정에서는, 실란가스 ( $\text{SiH}_4$ )와 산소가스( $\text{O}_2$ )가 반응가스로 사용되며, 실란가스와 산소가스가 반응하고 나면 수소가 부산물로 파생된다. 파생된 수소는 강유전체 캐패시터의 유전막으로 직접적으로 확산하여 캐패시터 유전막을 열화시키기도 하고, ILD공정에서 형성되는 충간절연막 내에 봉입되어 서서히 캐패시터 유전막을 열화시키기도 한다. 그 결과, 캐패시터 유전막의  $P_r$  값이 감소되어, 캐패시터 유전막의 강유전 특성이 상실되는 문제까지 발생되기도 한다. 이처럼, 반도체 메모리 소자의 집적과정에서 캐패시터 유전막이 열화되는 문제는 충간절연막을 형성하기 위한 ILD공정에서만 발생하는 것은 아니며, 금속간 절연막을 형성하기 위한 IMD공정 및 패시베이션막을 형성하기 위한 패시베이션 공정에서도 실질적으로 동일한 문제가 발생하게 된다.

<10> 따라서, 이와 같은 문제를 해결하기 위하여 종래기술에 따른 반도체 메모리 소자 제조방법에서는, 캐패시터를 형성하고 나서 절연막으로 캐패시터를 캡슐화(encapsulating)하는 방법을 사용하고 있다. 예를 들어, 미국특허 제 5,822,175 호는 수소확산에 의한 캐패시터 유전막의 열화문제를 해결하기 위해, 캐패시터를 실리콘 산화막, 도핑된 실리콘 산화막 또는 실리콘 질화막으로 캡슐화하는 방법을 개시하고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는, 반도체 기판 전면에 노출된 물질막 중 산

소를 포함하는 절연막 상에 선택적으로 금속산화막을 형성하는 단계를 구비하는 반도체 소자 제조방법을 제공하는 것이다.

<12> 본 발명이 이루고자 하는 다른 기술적 과제는 상기한 반도체 소자 제조방법에 의하여 제조된 개선된 구조의 반도체 소자를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 반도체 소자 제조방법은, 먼저 산소원자를 포함하고 소정 부위가 외부로 노출된 절연막을 반도체 기판에 제공한다. 그런 다음, 산소와 반응성이 있는 금속 전구가스(metal precursor)에 상기 반도체 기판을 노출시켜 상기 절연막의 노출면 상에 소정 두께의 금속산화막을 선택적으로 형성한다.

<14> 상기 절연막은  $TiO_2$ 막,  $SiO_2$ 막,  $Ta_2O_5$ 막,  $Al_2O_3$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막, ( $Ba$ ,  $Sr$ ) $TiO_3$ 막,  $Bi_4Ti_3O_{12}$ 막,  $PbTiO_3$ 막, PZT(( $Pb$ ,  $La$ )( $Zr$ ,  $Ti$ ) $O_3$ )막, ( $SrBi_2Ta_2O_9$ )(SBT)막 또는 이들의 조합막일 수 있다.

<15> 상기 금속 전구가스는  $Al$ ,  $Ta$ ,  $Ti$ ,  $Zr$ ,  $Mg$ ,  $Ce$ ,  $Y$ ,  $Nb$ ,  $Hf$ ,  $Sr$  또는  $Ca$ 를 포함할 수 있다.

<16> 상기 선택적 금속산화막 형성단계는, 상기 금속 전구가스를 펴싱하는 단계; 및 상기 금속 전구가스가 펴싱된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계를 포함할 수 있다.

<17> 상기 선택적 금속산화막 형성단계 이후에, 상기 금속산화막을 안정화시켜 절연특성을 강화하기 위해 산소 분위기하에서 열처리하는 단계를 더 포함할 수 있다.

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 반도체 소자 제조 방법은, 먼저 하부전극, 산소를 포함하는 캐패시터 유전막 및 상부전극을 구비한 캐패시터를 반도체 기판에 형성한다. 그런 다음, 산소와 반응성이 있는 금속 전구가스(metal precursor)에 상기 반도체 기판을 노출시켜 상기 캐패시터 유전막의 노출면 상에 소정 두께의 금속산화막을 선택적으로 형성한다.

<19> 상기 선택적 금속산화막 형성단계는, 상기 금속 전구가스를 펼성하는 단계; 및 상기 금속 전구가스가 펼성된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계를 포함할 수 있다.

<20> 상기 선택적 금속산화막 형성단계는, 상기 금속 전구가스 펼성단계 및 상기 불활성 가스 퍼지단계를 포함하는 일련의 과정을 1 싸이클로 하여, 원하는 두께로 상기 금속산화막이 형성될 때까지 상기 싸이클을 반복하는 단계일 수 있다.

<21> 상기 선택적 금속산화막 형성단계 이후에 상기 금속산화막을 열처리하는 단계; 및 상기 캐패시터의 전표면을 감싸며 금속을 포함하는 산화막으로 이루어진 캡슐화막을 형성하는 단계를 더 포함할 수 있다.

<22> 상기 캡슐화막 형성단계는, 금속 소스가스를 반도체 기판 전면에 펼성하는 단계; 상기 금속 소스가스가 펼성된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계; 상기 불활성 가스가 퍼지된 반도체 기판 전면에 산소 소스가스를 펼성하는 단계; 및 상기 산소 소스가스가 펼성된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계를 포함할 수 있다.

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 태양에 따른 반도체 소자 제

조방법은, 먼저 반도체 기판에 형성된 소정의 도전영역을 덮으며 산소원자를 포함하는 충간절연막을 형성한다. 그런 다음, 상기 충간절연막을 패터닝하여 상기 도전영역을 노출시키는 개구를 형성한다. 그리고 나서, 산소와 반응성이 있는 금속 전구가스(metal precursor)에 상기 반도체 기판을 노출시켜 상기 충간절연막의 노출면 상에 소정 두께의 금속산화막을 선택적으로 형성한다.

- <24> 상기 도전영역은 캐패시터의 상부전극 또는 하부전극, 게이트 전극, 비트라인, 워드라인 또는 다풋 배선의 하부 도전라인일 수 있다.
- <25> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 소자는, 상부전극, 하부전극, 및 이들 사이에 삽입되며 산소원자를 포함하는 유전막을 구비한 캐패시터; 및 상기 유전막 중 실질적으로 상기 상부전극 및 하부전극과 접촉계면을 형성하고 있지 않은 부분에 형성된 제1물성의 금속산화막을 포함한다.
- <26> 상기 제1물성은 선택적 원자층 증착공정 및 산소 분위기하의 열처리 공정에 의하여 얻어진다.
- <27> 상기 제1물성의 금속산화막은 Al, Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca의 산화물을 포함할 수 있다.
- <28> 이하에서는 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것으로 해석되어져서는 아니 된다. 이하의 도면을 참조한 설명은 관련한 산업기술분야에서 평균적 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 도면 상에서 동일한 부호는 동

일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 상부에 있다라고 기재한 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제 3의 층이 개재되어질 수 있다.

<29> <제1실시예>

<30> 제1실시예는 본 발명에 따른 반도체 소자 제조방법을 반도체 메모리 소자의 캐패시터 캡슐화 공정에 적용한 경우이다.

<31> 도1을 참조하면, 반도체 메모리 소자의 캐패시터(C)를 캡슐화하는 공정에 본 발명에 따른 반도체 소자 제조방법을 적용하기 위해, 하부전극(100)/캐패시터 유전막(110)/상부전극(120)이 순차적으로 적층된 캐패시터(C)가 형성되어 있는 반도체 기판(S)을 준비한다. 상기 반도체 기판(S)에는 캐패시터(C) 이외에도 활성영역을 정의하는 소자분리막(130); 하부에는 게이트 산화막(140)이 게재되고 측벽에는 질화막 스페이서(150)를 구비한 게이트 전극(160), 및 소오스/드레인 영역(170, 180)으로 이루어진 전계효과 트랜지스터(T); 상기 소자분리막(130) 및 전계효과 트랜지스터(T)를 덮는 충간절연막(180); 및 상기 충간절연막(180) 내에 구비되며 상기 소오스 영역(170)과 전기적으로 연결되는 콘택 플러그(190)가 형성되어 있다.

<32> 상기 반도체 기판(S)은 통상적인 방법에 의해 준비될 수 있으며, 도면으로 도시하지는 않았지만 경우에 따라 상기한 구성요소 이외에도 다른 구성요소가 반도체 기판(S)에 더 형성되어 있을 수 있다. 예를 들어, 충간절연막(180) 및 콘택 플러그(190)와 하부전극(100) 사이에는 계면막이 개재될 수 있다. 상기 계면막은 순차적으로 적층된 접착막과 확산방지막을 포함할 수 있다. 상기 접착막은 콘택 플러그(190) 및 충간절연막(180)

과 확산방지막 사이의 접착력을 향상시키는 물질막으로, 예컨대 전이금속막(Ti막)일 수 있다. 상기 확산방지막은 계면막 상부에 형성되는 물질막과 계면막 하부에 형성된 콘택 플러그(190)가 후속공정을 진행하는 과정에서 서로 반응하는 것을 방지할 뿐만 아니라, 산소 분위기에서 수행되는 후속공정에서의 산소 확산에 의한 콘택 플러그(190)의 열화를 방지하는 물질막으로, 예컨대 전이금속의 질화막(TiN막)일 수 있다. 또한, 상기 게이트 전극(160)의 상면에는 질화막으로 된 캡핑 절연막이 형성되어 있을 수 있다.

<33> 상기 하부전극(100) 및 상부전극(120)은 금속막, 도전성 금속 산화물막 또는 이들의 조합막일 수 있다. 여기에서, 금속막은 Pt막, Ir막, Ru막, Rh막, Os막 또는 Pd막일 수 있고, 도전성 금속 산화물막은  $\text{IrO}_2$ 막,  $\text{RuO}_2$ 막,  $(\text{Ca}, \text{Sr})\text{RuO}_3$ 막 또는  $\text{LaSrCoO}_3$ 막일 수 있다. 예를 들어, 상기 하부전극은 Pt막이고, 상기 상부전극은  $\text{IrO}_2$ 막과 Ir막이 순차적으로 적층된 2중막일 수 있다.

<34> 상기 캐패시터 유전막(110)은  $\text{TiO}_2$ 막,  $\text{SiO}_2$ 막,  $\text{Ta}_2\text{O}_5$ 막,  $\text{Al}_2\text{O}_3$ 막,  $\text{BaTiO}_3$ 막,  $\text{SrTiO}_3$ 막,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ 막,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막,  $\text{PbTiO}_3$ 막, PZT( $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ )막,  $(\text{SrBi}_2\text{Ta}_2\text{O}_9)$ (SBT)막 또는 이들의 조합막일 수 있다.

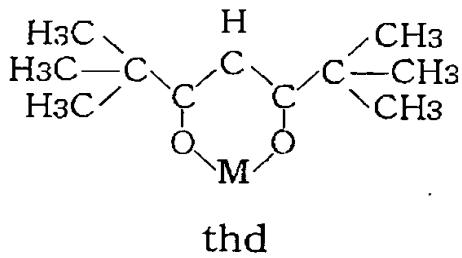
<35> 도1의 Ⅱ부분을 확대 도시한 도2를 참조하면, 반도체 기판(S)을 원자층 증착장비(미도시)에 로딩한 후 반응챔버의 압력을 0.1 내지 1torr 사이로 유지한 상태에서 반도체 기판(S)을 100~400°C의 온도, 바람직하게는 300°C정도로 가열한다. 그런 다음, 본 발명에 따른 반도체 소자 제조방법을 적용하여 금속산화막, 예컨대  $\text{Al}_2\text{O}_3$ 막을 캐패시터 유전막(110) 상에 선택적으로 형성한다.

<36> 구체적으로, 산소와 반응성이 있는 알루미늄 전구가스 및 불활성 가스를 각각 펼싱

가스 및 퍼지가스로 사용하는 원자층 증착공정을 진행한다. 먼저, 금속 전구가스, 예컨대 알루미늄 전구가스로 반도체 기판(S)의 전면을 펴는다. 예를 들어, 상기 알루미늄 전구가스는 TMA(TriMethyl Aluminum), DMAH(DiMethylAluminum Hydride), DMEAA(DiMethylEthylAmine Alane), TIBA(Tri IsoButyAluminum), TEA(Tri Ethyl Aluminum) 또는 이들의 조합가스일 수 있고, 펴는 시간은 0.1 내지 2초일 수 있고, 펴는 유량은 50 내지 300sccm일 수 있다. 상기 알루미늄 전구가스는 바람직하게는 아르곤 가스와 같은 캐리어 가스와 함께 펴는다.

<37> 한편, 원자층 증착공정의 금속 전구가스로서, 상기 알루미늄 전구가스 이외의 것을 사용할 수도 있다. 예를 들어, 탄탈륨의 전구가스로서  $TaCl_5$  또는  $Ta(OC_2H_5)_4$ 가 사용될 수 있으며, 티타늄 전구가스로서  $TiCl_4$  또는  $Ti(OC_2H_5)_4$ 가 사용될 수 있으며, 질코늄 전구가스로서  $ZrCl_4$ 가 사용될 수 있으며, 하프늄 전구가스로서  $HfCl_4$ 가 사용될 수 있으며, 니오븀 전구가스로서  $Nb(OC_2H_5)_5$ 가 사용될 수 있으며, 마그네슘 전구가스로서  $Mg(thd)_2$ 가 사용될 수 있으며, 세리움 전구가스로서  $Ce(thd)_3$ 가 사용될 수 있으며, 이트륨 전구가스로서  $Y(thd)_3$ 가 사용될 수 있다. 여기서 사용되는 상기 thd의 구조식은 다음과 같다.

&lt;38&gt;



&lt;39&gt;

다시, 상기 펴는 된 알루미늄 전구가스는 반도체 기판(S) 전면에 화학적 또는 물리적으로 흡착된다. 상기 알루미늄 전구가스는 산소와 반응성이 있으므로, 산소를 포함하는 물질막에 흡착되면 흡착계면에서  $Al_2O_3$ 막으로 변화되려는 경향을 가지게 된다. 따라

서, 산소를 구성원자로 포함하는 캐패시터 유전막(110)의 노출면에 흡착된 알루미늄 전구가스 중 특히 화학적으로 흡착된 알루미늄 전구가스는 캐패시터 유전막(110)에 포함된 산소와 반응을 일으키게 된다. 이에 따라, 캐패시터 유전막(110)의 노출면에는  $Al_2O_3$ 막(200)이 선택적으로 원자층 레벨로 형성되게 된다. 하지만, 상부전극(120) 및 하부전극(100)에 산소원자가 포함되지 않은 경우, 그 노출면에 화학적 또는 물리적으로 흡착된 알루미늄 전구가스는 금속산화막으로 변화되지 않고 그대로 남아 있게 된다. 도면으로 도시하지는 않았지만, 상부전극(120) 또는 하부전극(100)에  $IrO_2$ 막과 같은 도전성 금속 산화물막이 포함된 경우, 상부전극(120) 또는 하부전극(100)에 포함된 도전성 금속산화물막의 노출면에도 원자층 레벨의  $Al_2O_3$ 막이 형성될 수 있다.

<40> 상기와 같이 알루미늄 전구가스의 펴싱으로 캐패시터 유전막(110) 상에만 원자층 레벨의  $Al_2O_3$ 막(200)을 형성한 후, 반도체 기판(S) 전면을 불활성 가스로 퍼지한다. 예를 들어, 불활성 가스는 아르곤 가스일 수 있고, 불활성 가스의 퍼지시간 및 퍼지유량은 각각 0.5 내지 10초 및 50 내지 300sccm일 수 있다. 이처럼, 반도체 기판(S) 전면을 불활성 가스로 퍼지하게 되면, 하부전극(100) 및 상부전극(120) 상에 물리적으로 흡착된 알루미늄 전구가스와 캐패시터 유전막(110) 상의 미반응 알루미늄 전구가스는 반응챔버의 외부로 배출된다. 그런데, 하부전극(100) 및 상부전극(120) 상에 화학적으로 흡착된 알루미늄 전구가스는 퍼지되지 않고 대부분이 잔류하게 된다. 하지만, 본 발명의 실시예에 있어 보다 바람직하게는 상부전극(120) 및 하부전극(100) 상에 흡착된 금속 전구가스를 실질적으로 모두 제거할 수 있도록 불활성 가스의 퍼지유량 및 퍼지시간을 적절히 조절할 수 있다.

<41> 상기한 알루미늄 전구가스 펴싱단계 및 불활성 가스 퍼지단계는 원자층 증착공정의

1사이클을 이루게 되며, 원하는 두께의  $\text{Al}_2\text{O}_3$ 막(200')을 얻을 때까지 상기 사이클을 반복하게 된다. 후속 사이클의 진행에 있어서도, 캐패시터 유전막(110) 상에는 알루미늄 전구가스와 캐패시터 유전막(110)에 포함된 산소원자가 확산의 방식으로 서로 반응하여  $\text{Al}_2\text{O}_3$ 막(200)이 원자층 레벨로 계속 형성된다. 그리고, 상기 상부전극(120) 및 하부전극(100) 상에서는 알루미늄 전구가스가 흡착만 될 뿐  $\text{Al}_2\text{O}_3$ 막이 실질적으로 형성 되지는 않는다.

<42> 한편, 알루미늄 전구가스는 통상 수소원자를 포함하고 있다. 이에 따라, 본 발명에 따른 반도체 소자 제조방법을 적용하여 캐패시터 유전막(110) 상에 선택적으로  $\text{Al}_2\text{O}_3$ 막을 형성하는 과정에서 캐패시터 유전막(110)의 유전특성이 열화될 수 있다. 특히, 캐패시터 유전막(110)이 PZT막 또는 SBT막과 같은 강유전 물질로 이루어진 경우, 알루미늄 전구가스에 포함된 수소에 의해 캐패시터 유전막(110)의 강유전 특성, 예컨대 잔류 분극 값이 감소할 수 있다. 따라서, 캐패시터 유전막(110) 상에  $\text{Al}_2\text{O}_3$ 막을 소정의 두께로 형성한 다음, 수소에 의한 캐패시터 유전막(110)의 열화를 회복하고  $\text{Al}_2\text{O}_3$ 막의 절연특성, 예컨대 밀도를 강화하기 위해 산소 분위기하의 열처리 공정(화살표 참조)을 진행한다.

<43> 상기 열처리 공정은 급속 열처리 장치 또는 로(furnace) 타입의 열처리 장치에서 수행될 수 있다. 상기 열처리 공정이 급속 열처리 장치에서 수행될 경우, 열처리 온도 및 열처리 시간은 각각 400 내지 600°C 사이 및 10초 내지 10분 사이일 수 있다.

<44> 도3을 참조하면, 상기와 같이 실질적으로 캐패시터 유전막(110) 상에만 선택적으로  $\text{Al}_2\text{O}_3$ 막(200')을 형성한 후, 캐패시터(C)를 포함하는 반도체 기판의 전표면을 직접 덮는 또 다른 금속산화막인 캡슐화막(210)을 형성한다. 상기 캡슐화막(210)은 후속의 ILD공정, IMD공정 또는 패시베이션 공정에 있어 캐패시터 유전막(110)으로 수소가 확산하는

것을 방지하는 기능을 수행하므로, 막질이 조밀한 물질막으로 형성한다. 또한, 캡슐화막(210)이 형성되는 반도체 기판(S) 전면에는 캐패시터(C)가 형성되어 있어 표면 토플로지가 크므로, 상기 캡슐화막(210)은 원자층 증착방법을 사용하여 형성하는 것이 바람직하다.

<45> 예를 들어,  $Al_2O_3$ 막으로 캡슐화막(210)을 형성하는 경우, 반도체 기판(S) 전면을 알루미늄 소스가스로 펴싱하는 단계; 불활성 가스를 퍼지하는 단계; 산소 소스가스로 펴싱하는 단계; 및 불활성 가스로 퍼지하는 단계를 포함하는 일련의 과정을 1사이클로 하여, 원하는 두께로 캡슐화막(210)이 형성될 때까지 상기 사이클을 반복한다.

<46> 상기 알루미늄 소스가스로는 상기한 알루미늄 전구가스들이 그대로 사용될 수 있고, 상기 산소 소스가스로는  $H_2O$ 가스,  $O_3$ 가스 또는  $N_2O$ 가스가 사용될 수 있고, 상기 불활성 가스로는 아르곤 가스가 사용될 수 있다.

<47> 상기 알루미늄 소스가스, 산소 소스가스 및 불활성 가스로 각각 TMA가스,  $H_2O$ 가스, 및 아르곤 가스가 사용될 경우, TMA가스의 펴싱시간은 0.1 내지 2초,  $H_2O$ 가스의 펴싱시간은 0.1 내지 2초, 아르곤 가스의 퍼지유량 및 퍼지시간은 각각 50 내지 300sccm 및 1 내지 10초, 및 반도체 기판(S)의 온도는 300°C 정도일 수 있다.

<48> 상기한 제1실시예에서는 본 발명에 따른 반도체 소자 제조방법을 적용하여 캐패시터 유전막(110) 상에  $Al_2O_3$ 막을 선택적으로 형성하였지만, 캐패시터 유전막(110) 상에 Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca를 포함하는 산화막을 형성할 수도 있음은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 당연하다. 이를 위해 산소와 반응성이 있는 공지된 Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca를 포함하는 금속 전구가스가 상기한 제1실시예의 알루미늄 전구가스 펴싱단계에서 사용될 수 있다.

<49> <제2실시 예>

<50> 제2실시 예는 본 발명에 따른 반도체 소자 제조방법을 반도체 소자의 콘택 형성공정에 적용한 경우이다.

<51> 도4를 참조하면, 본 발명에 따른 제2실시예에서는, 먼저 산소를 포함하고 있지 않은 소정의 도전영역(220); 상기 도전영역(220)을 덮으며 산소를 포함하는 충간절연막(230); 및 상기 도전영역(220)을 노출시키는 개구(240)가 구비된 반도체 기판(S)이 준비된다. 상기 도전영역(220)은 캐패시터의 상부전극 또는 하부전극, 게이트 전극, 비트라인, 워드라인 또는 다층 배선의 하부 도전라인일 수 있다. 상기 충간절연막(230)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다.

<52> 이어서, 상기한 제1실시예와 실질적으로 동일하게 원자층 증착방법을 사용하여 충간절연막(230)의 노출면에만 선택적 금속산화막(250)으로  $Al_2O_3$ 막을 형성한다. 물론, 상기 제1실시예와 마찬가지로 상기 충간절연막(230)의 노출면에는 Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca를 포함하는 산화막을 형성할 수도 있다.

<53> 제2실시예의 경우에도, 상기와 같이 선택적 금속산화막(250)을 형성한 이후에, 그 절연특성을 강화하기 위해 제1실시예와 마찬가지로 산소 분위기하의 열처리 공정이 수행될 수 있다.

<54> 상기한 제2실시예에서와 같이 금속산화막(250)을 충간절연막(230)의 노출면에만 선택적으로 형성하게 되면, 후속공정에서 충간절연막(230) 상부에 소정 물질막을 형성할 때 금속산화막(250) 하부로 반도체 소자를 열화시킬 수 있는 물질이 확산하는 것을 방지 할 수 있다.

<55> 이하에서는 본 발명에 따른 반도체 소자 제조방법을 반도체 메모리 소자의 캐패시터 캡슐화 공정에 적용할 경우에 발생되는 기술적 효과를 실험예를 통하여 상세하게 설명한다.

<56> <제1실험예>

<57> 먼저, Pt막(하부전극), PZT막(캐패시터 유전막) 및 Ir/IrO<sub>2</sub>막(상부전극)이 순차적으로 적층된 스택형 캐패시터 패턴을 반도체 기판에 형성하였다. 그리고 나서, 반도체 기판을 원자층 증착장비에 로딩한 후, 챔버압력 및 반도체 기판 온도를 각각 0.1 내지 1torr사이 및 300°C 정도로 유지하여 공정진행 전 안정화단계를 수행하였다. 그 다음, 상기한 본 발명의 제1실시예에 따라 원자층 증착공정의 싸이클을 100회 반복하여 실험 시편을 얻었다. 이 때, 알루미늄 전구가스로는 TMA가스가 사용되었고 매 싸이클마다 펄싱시간은 0.1초정도였다. 그리고, 퍼지가스로는 아르곤 가스가 사용되었고 매 싸이클마다 펄싱시간은 1초정도였다. 상기와 같은 일련의 단계로 시편을 얻은 다음, 캐패시터 유전막 상에 Al<sub>2</sub>O<sub>3</sub>막이 형성되었는지를 알아보기 위해 시편에 대해 XPS(X-ray Photoelectron Spectroscopy)분석을 실시하고 그 결과를 도5에 도시하였다. 도5에 있어서, 가로축은 결합 에너지(binding energy)이고, 세로축은 임의 세기(arbitrary intensity)이다. 도5를 참조하면, 알루미늄과 산소간의 결합 에너지를 나타내는 알루미늄 2p 피크(Ⅲ 참조)가 관찰됨을 확인할 수 있다. 따라서, 시편의 캐패시터 유전막 상에 Al<sub>2</sub>O<sub>3</sub>막이 선택적으로 형성되어 있다는 것을 확인할 수 있다. 특히, 산소 소스가스는 펄싱하지 않았으므로 Al<sub>2</sub>O<sub>3</sub>막의 산소는 캐패시터 유전막에서 공급되었음을 알 수 있다.

<58> <실험예2>

<59> 먼저, 상기한 실시예1과 실질적으로 동일한 조건으로 캐패시터 패턴을 반도체 기판에 형성하여 시편1 및 2를 별도로 제조하였다. 그런 다음, 시편1 및 2에 대하여 아래와 같은 공정단계를 순차적으로 진행하면서 각 공정단계가 끝날 때마다 캐패시터 유전막의 잔류 분극값을 측정하여 도6에 도시하였다. 도6에 있어서, 가로축은 시편1 및 2에 적용한 각 공정단계를 나타내고 세로축은 잔류 분극값을 나타낸다.

<60> -시편1

<61> 먼저, 본 발명의 제1실시예에 따라 캐패시터 유전막 상에 선택적으로  $\text{Al}_2\text{O}_3$ 막을 형성하였다(단계A<sub>1</sub>). 이 때, 단계A<sub>1</sub>의 공정조건은 상기한 실험예1과 실질적으로 동일하다. 그런 다음, 반도체 기판을 급속 열처리 장치에 로딩하여 산소분위기 및 700°C의 온도에서 10초간 열처리 공정을 진행하였다(단계A<sub>2</sub>). 이어서, 본 발명의 제1실시예에 따라 상기 캐패시터 패턴을 덮는 캡슐화막을  $\text{Al}_2\text{O}_3$ 막으로 형성하였다(단계A<sub>3</sub>). 이 때, 알루미늄 소스가스, 산소 소스가스 및 퍼지가스는 TMA가스,  $\text{H}_2\text{O}$ 가스 및 아르곤 가스를 사용하였다. 그리고, TMA가스의 펄싱시간은 0.5초,  $\text{H}_2\text{O}$ 가스의 펄싱시간은 0.3초, 아르곤 가스의 퍼지시간 및 퍼지유량은 각각 6초 및 150sccm, 및 웨이퍼의 온도는 300°C였다.

<62> -시편2

<63> 먼저, 캐패시터 패턴이 형성된 반도체 기판을 급속 열처리 장치에 로딩하여 열처리 하였다(단계B<sub>1</sub>). 이 때, 단계B<sub>1</sub>의 공정조건은 상기한 단계A<sub>2</sub>의 경우와 동일하다. 그런 다음, 상기 캐패시터 패턴을 덮는 캡슐화막을  $\text{Al}_2\text{O}_3$ 막으로 형성하였다(단계B<sub>2</sub>). 이 때, 단계B<sub>2</sub>의 공정조건은 상기한 단계A<sub>3</sub>의 경우와 동일하다.

<64> 도6을 참조하면, 시편1의 경우 단계A<sub>1</sub>에서 수소를 포함하는 TMA가스 및  $\text{H}_2\text{O}$ 가스의

영향으로 잔류 분극값이 다소 감소하였지만, 산소 분위기하의 급속 열처리 공정인 단계A<sub>2</sub>를 거치면서 잔류 분극값이 초기값 이상으로 향상되었음을 알 수 있다. 한편, 캐패시터 캡슐화 공정인 단계A<sub>3</sub>를 거치면서 잔류 분극값이 다시 조금 감소하였지만, 잔류 분극값이 초기값과 실질적으로 동일하다는 것을 알 수 있다. 시편1의 경우, 단계A<sub>3</sub>에서 수소가 포함된 TMA가스 및 H<sub>2</sub>O가스가 사용되었음에도 불구하고 잔류 분극값이 거의 감소하지 않았다.

<65> 시편2의 경우에는, 산소 분위기하의 급속 열처리 공정인 단계B<sub>1</sub>을 거치면서 캐패시터 유전막의 잔류 분극값이 초기값보다 증가되었지만, 캐패시터 캡슐화 공정인 단계B<sub>2</sub>를 거치면서 캐패시터 유전막의 잔류 분극값이 시편1에 비해 현저하게 감소되었음을 알 수 있다.

<66> 시편1은 산소 분위기하에서 열처리된 선택적 금속산화막을 가진다는 점에서 시편2와 차이를 보인다. 도6에서 시편1이 수소기저 가스가 제공되는 단계A<sub>3</sub>를 거치면서도 시편2와 같이 잔류 분극값이 감소되지 않았다는 것은, 열처리된 선택적 금속산화막이 캐패시터 유전막으로의 수소확산을 효과적으로 차단하고 있다는 사실을 시사한다. 따라서, 상기 열처리된 선택적 금속산화막이 후속의 ILD공정, IMD공정 및 패시베이션 공정에서도 캐패시터 유전막으로의 수소 확산을 차단할 것임은 자명하다.

<67> 상기에서는 도면을 참고하여 본 발명에 대한 바람직한 실시예를 상세하게 설명하였다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 본 발명의 기술적 사상의 범위 안에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다. 예를 들어, 본 발명의 기술적 사상은 하부에 게이트 산화막이 게재된 게이트 전극 패턴에 있어서 게이트 산화막의 노출면에만 선택적으로 금속산화막을 형성할 경우에 적용될 수 있다.

**【발명의 효과】**

<68> 본 발명에 따르면, 산소가 포함된 절연막에만 금속산화막을 선택적으로 형성할 수 있다. 특히, 본 발명에 따른 반도체 소자 제조방법을 원자층 증착방법을 이용한 반도체 메모리 소자의 캐패시터 캡슐화 공정에 적용할 경우, 수소가 포함된 소스가스를 사용하더라도 캐패시터 유전막이 열화되는 것을 방지할 수 있다. 뿐만 아니라, 캐패시터 캡슐화 공정 이후에 수행되는 ILD공정, IMD공정 또는 패시베이션 공정에서 캐패시터 유전막이 수소에 의해 열화되는 것을 보다 효과적으로 방지할 수 있게 된다.

**【특허청구범위】****【청구항 1】**

(a) 산소원자를 포함하고 소정 부위가 외부로 노출된 절연막을 반도체 기판에 제공하는 단계; 및

(b) 산소와 반응성이 있는 금속 전구가스에 상기 반도체 기판을 노출시켜 상기 절연막의 노출면 상에 소정 두께의 금속산화막을 형성시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 절연막은  $TiO_2$ 막,  $SiO_2$ 막,  $Ta_2O_5$ 막,  $Al_2O_3$ 막,  $BaTiO_3$ 막,  $SrTiO_3$ 막,  $(Ba, Sr)TiO_3$ 막,  $Bi_4Ti_3O_{12}$ 막,  $PbTiO_3$ 막, PZT( $(Pb, La)(Zr, Ti)O_3$ )막,  $(SrBi_2Ta_2O_9)$ (SBT)막 또는 이들의 조합막인 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 (a) 단계는,  
반도체 기판에 하부전극, 캐패시터 유전막 및 상부전극을 구비한 캐패시터를 형성하는 단계로, 상기 절연막은 캐패시터 유전막인 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 (a) 단계는,

반도체 기판에 형성된 소정의 도전영역을 덮으며 산소원자를 포함하는 충간절연막을 형성하는 단계; 및

상기 충간절연막을 패터닝하여 상기 도전영역을 노출시키는 개구를 형성하는 단계를 포함하되, 상기 절연막은 상기 충간절연막인 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 5】

제4항에 있어서, 상기 도전영역은 캐패시터의 상부전극 또는 하부전극, 게이트 전극, 비트라인, 워드라인 또는 다층 배선의 하부 도전라인인 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 6】

제1항에 있어서, 상기 (b) 단계는,  
상기 금속 전구가스 및 불활성 가스를 각각 펄싱가스 및 퍼지가스로 사용하는 원자총 증착방법에 의하여 수행되는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 7】

제6항에 있어서, 상기 (b) 단계는,  
상기 금속 전구가스로 상기 반도체 기판 전면을 펄싱하는 단계; 및  
상기 금속 전구가스가 펄싱된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 8】

제7에 있어서, 상기 (b) 단계는,

상기 금속 전구가스 펠싱단계 및 상기 불활성 가스 퍼지단계를 포함하는 일련의 과정을 1 싸이클로 하여, 원하는 두께로 상기 금속산화막이 형성될 때까지 상기 싸이클을 반복하는 단계인 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 9】

제1항에 있어서, 상기 금속 전구가스는 Al, Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 10】

제1항에 있어서, 상기 (b) 단계 이후에,  
상기 금속산화막을 안정화시켜 절연특성을 강화하기 위해 산소 분위기하에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 11】

제10항에 있어서, 상기 열처리 단계는 급속 열처리 방법 또는 로(furnace) 타입의 열처리 방법을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 12】

제3항에 있어서, 상기 (b) 단계 이후에,  
상기 금속산화막을 열처리하는 단계; 및  
상기 캐패시터의 전표면을 감싸며 금속을 함유하는 산화막으로 이루어진 캡슐화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 13】

제12항에 있어서, 상기 캡슐화막은,

금속 전구가스 및 산소 소스가스를 펴싱가스로, 불활성 가스를 퍼지가스로 사용하는 원자층 증착방법에 의하여 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 14】

제13항에 있어서, 상기 캡슐화막은,

금속 전구가스를 반도체 기판 전면에 펴싱하는 단계;

상기 금속 전구가스가 펴싱된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계;

상기 불활성 가스가 퍼지된 반도체 기판 전면에 산소 소스가스를 펴싱하는 단계;

및

상기 산소 소스가스가 펴싱된 반도체 기판 전면을 불활성 가스로 퍼지하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 15】

상부전극, 하부전극, 및 이들 사이에 삽입되며 산소원자를 포함하는 유전막을 구비한 캐패시터; 및

상기 유전막 중 실질적으로 상기 상부전극 및 하부전극과 접촉계면을 형성하고 있지 않은 부분에 형성된 제1물성의 금속산화막을 포함하는 것을 특징으로 하는 반도체 소자.

#### 【청구항 16】

제15항에 있어서, 상기 제1물성은 선택적 원자층 증착공정 및 산소 분위기하의 열처리 공정에 의하여 얻어진 것을 특징으로 하는 반도체 소자.

**【청구항 17】**

제15항에 있어서, 상기 제1물성의 금속산화막은 Al, Ta, Ti, Zr, Mg, Ce, Y, Nb, Hf, Sr 또는 Ca의 산화물을 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 18】**

제15항에 있어서, 상기 제1물성의 금속산화막이 형성되어 있지 않으며 실질적으로 상기 유전막과 접촉계면을 형성하고 있는 않은 상기 상부전극 및 하부전극과 상기 제1물성의 금속산화막 상에 형성된 제2물성의 금속산화막으로 이루어진 캡슐화막을 더 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 19】**

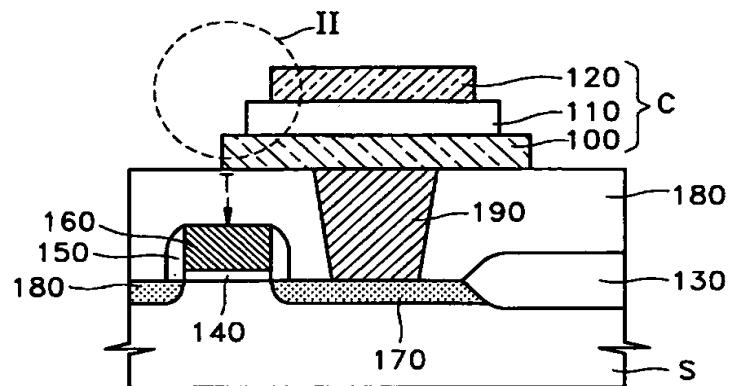
제18항에 있어서, 상기 제2물성은 원자층 증착공정에 의하여 얻어진 것을 특징으로 하는 반도체 소자.

**【청구항 20】**

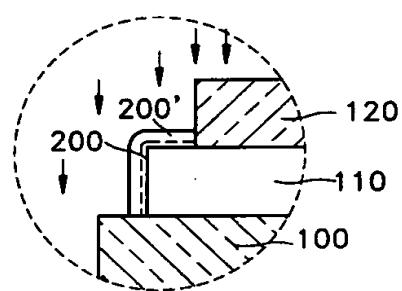
제18항에 있어서, 상기 제2물성의 금속산화막과 제1물성의 금속산화막은 물성은 다르나 물질의 종류는 동일한 것을 특징으로 하는 반도체 소자.

## 【도면】

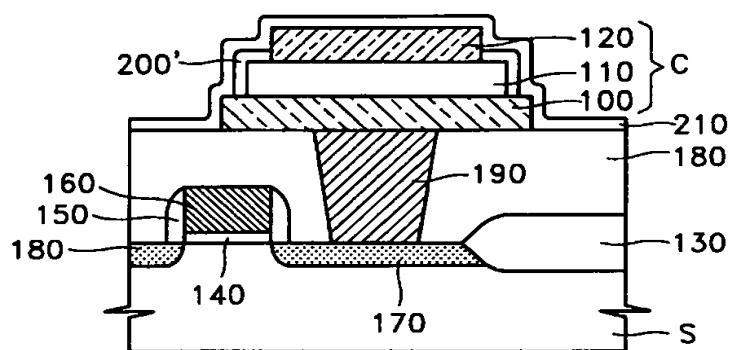
【도 1】



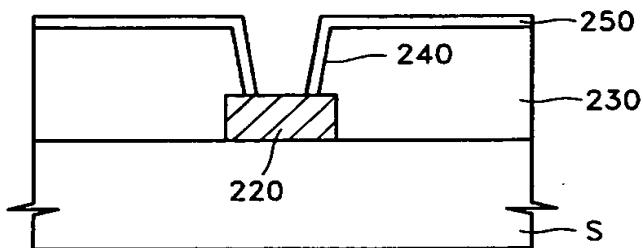
【도 2】



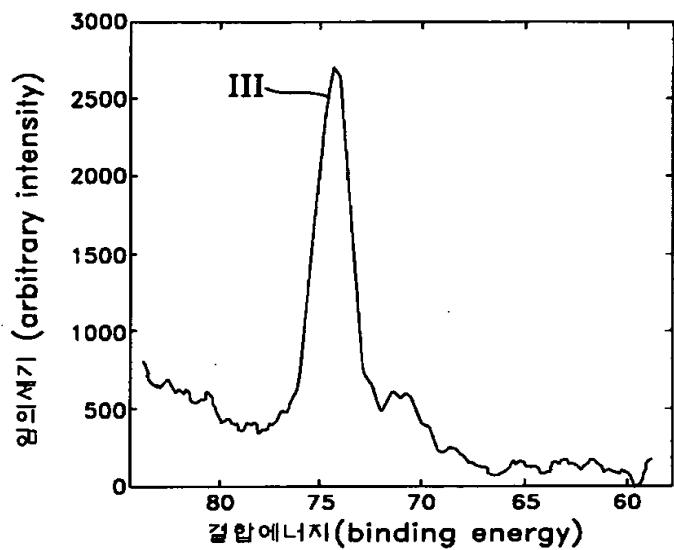
【도 3】



【도 4】



【도 5】



【도 6】

